

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-271669

(43)Date of publication of application : 28.09.1992

(51)Int.Cl.

H04N 5/20

H04N 5/21

H04N 5/66

(21)Application number : 03-032792

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.02.1991

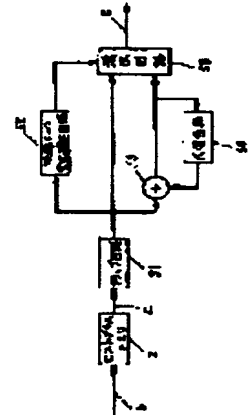
(72)Inventor : TSUJI TOSHIKI
KAGEYAMA ATSUKISA

(54) GRADATION CORRECTOR

(57)Abstract:

PURPOSE: To offer the gradation corrector to resolve the large fluctuation of a detected value caused by noise or the like when detecting a minimum value, to obtain a smooth corrected output signal and further to execute a speedy response following-up the change of a video scene at the gradation corrector used for a television receiver.

CONSTITUTION: A clip circuit 51 is provided at the output of a histogram memory 2, and the clip level is changed corresponding to the output of an S/N detection circuit 50. A video scene change detection circuit 52 to detect the change of the video scene is provided at the output of the clip circuit 51, an adder 53 constituting a cyclic filter circuit, K-fold circuit 54 and two input/one output select circuit 55 are provided. Then, a coefficient value K of the K-fold circuit 54 or the select circuit 55 is controlled corresponding to the output of the scene change detection circuit 52. Thus, smooth gradation correction can be executed without being affected by noise or the like, and the gradation correction can be executed while following-up the change of the video scene.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-271669

(43) 公開日 平成4年(1992)9月28日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/20	8626-5C		
	5/21	B 8626-5C		
	5/66	A 7205-5C		

審査請求 未請求 請求項の数 3 (全 6 頁)

(21) 出願番号 特願平3-32792

(22) 出願日 平成3年(1991)2月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 辻 敏昭

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 影山 敦久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

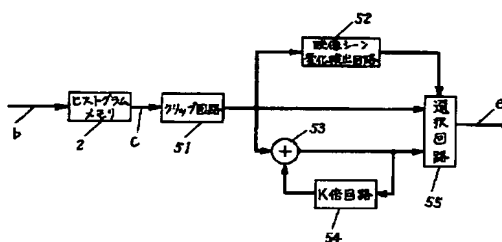
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 階調補正装置

(57) 【要約】

【目的】 テレビジョン受像機で使用される階調補正装置において、最小値を検出するときに雑音等による検出値の大きな変動を解決し、滑らかな補正出力信号を得る階調補正装置を提供することを目的とする。さらに、映像シーンの変化に追従した素早い応答を行う階調補正装置を提供することを目的とする。

【構成】 ヒストグラムメモリ2の出力にクリップ回路51を設け、そのクリップレベルをS/N検出回路50の出力に応じて変化させる。また、クリップ回路51の出力に映像シーンの変化を検出する回路52と、巡回型フィルタ回路を構成する加算機53とK倍回路54、また2入力1出力選択回路55を設け、シーン変化検出回路52の出力に応じて、K倍回路54の係数値Kや、選択回路55を制御する。以上により、雑音等の影響を受けない滑らかな階調補正を行うことができ、また映像シーンの変化に追従した階調補正を行うことができる。



1

【特許請求の範囲】

【請求項1】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリに接続されこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、それぞれ上記ヒストグラム演算回路の出力に接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリと累積コントロールレジスタ回路に接続されヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリと正規化コントロールレジスタ回路に接続され累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この結果を記憶するルックアップテーブルメモリを備え、上記ヒストグラム演算回路は、ヒストグラムの最小値を検出する回路を有し、この最小値検出回路は、入力映像信号から S/N を検出する回路と、この S/N 検出回路とヒストグラムメモリの出力に接続され、 S/N 検出回路の出力によってクリップレベルが制御されるクリップ回路よりなることを特徴とする階調補正装置。

【請求項2】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリに接続されこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、それぞれ上記ヒストグラム演算回路の出力に接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリと累積コントロールレジスタ回路に接続されヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリと正規化コントロールレジスタ回路に接続され累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この結果を記憶するルックアップテーブルメモリを備え、上記ヒストグラム演算回路は、ヒストグラムの最小値を検出する回路を有し、この最小値検出回路は、クリップ回路の出力端に接続された映像シーンの変化を検出する回路と、加算器とある係数 K 倍する回路で構成される巡回型フィルタ回路と、上記映像シーン変化検出回路の出力によって上記巡回型フィルタ回路の K 倍回路を制御する回路よりなることを特徴とする階調補正装置。

【請求項3】 映像輝度信号のヒストグラムを記憶するヒストグラムメモリと、このヒストグラムメモリに接続されこのデータからヒストグラムの特徴を抽出するヒストグラム演算回路と、このヒストグラム演算回路の出力

2

に接続され上記ヒストグラムメモリのデータを処理するリミッタ・加算回路と、それぞれ上記ヒストグラム演算回路の出力に接続された累積コントロールレジスタ回路および正規化コントロールレジスタ回路と、上記ヒストグラムメモリと累積コントロールレジスタ回路に接続されヒストグラムメモリの処理データを累積加算するヒストグラム累積加算回路と、累積加算した結果を記憶する累積ヒストグラムメモリと、この累積ヒストグラムメモリと正規化コントロールレジスタ回路に接続され累積ヒストグラムメモリのデータを正規化するルックアップテーブル演算回路と、この結果を記憶するルックアップテーブルメモリを備え、上記ヒストグラム演算回路は、ヒストグラムの最小値を検出する回路を有し、この最小値検出回路は、クリップ回路の出力に接続された映像シーンの変化を検出する回路と、加算器とある係数 K 倍する回路で構成される巡回型フィルタ回路と、上記映像シーン変化検出回路の出力により上記巡回型フィルタ回路の出力とクリップ回路の出力を切り替える2入力1出力の選択回路よりなることを特徴とする階調補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、テレビジョン受像機、ビデオテープレコーダ、ビデオカメラ、ビデオディスク等の、映像信号の階調を補正する場合に用いる階調補正装置に関するものである。

【0002】

【従来の技術】 近年、階調補正装置は、カラーテレビジョン受像機の大形化、高画質化にともない、画像をより鮮明に見せるため、映像信号を非線形な増幅器に通すことによって、映像信号の階調を補正し、CRT上の映像のダイナミックレンジを拡大するために重要視されてきている。

【0003】 以下に、従来の階調補正装置について説明する。図4は、従来の階調補正装置のブロック図を示すものである。図4において、1は入力輝度信号をデジタル値に変換するAD変換器である。2は、入力輝度信号の輝度分布を取るヒストグラムメモリであり、一般的にはメモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。3は、ヒストグラム演算回路であり、ヒストグラムメモリ2のデータから入力輝度信号の平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積等を算出し、その結果によりリミットレベル、加算値、累積スタート、累積ストップ、最大輝度レベル等の各制御値を計算し、リミッタ加算回路5、累積コントロールレジスタ回路6、正規化コントロールレジスタ回路7に出力する。リミッタ加算回路5は、ヒストグラムのデータを処理するものであり、ヒストグラム演算回路3から転送されるデータにより、ヒストグラムのデータがあるレベル以上にならないように制限を加えたり、加算演算を行う。一般にはアドレスが1度アクセス

3

される間にデータ処理を終える。累積コントロールレジスタ回路6は、累積ヒストグラムを求める際に、その累積を始める輝度レベルと、累積を止める輝度レベルをヒストグラム演算回路3より与えられ、ヒストグラム累積加算回路8を制御する。

【0004】ヒストグラム累積加算回路8は、累積コントロールレジスタ回路6の制御信号によりヒストグラムメモリ2の処理データの累積を行う。9は、累積ヒストグラムメモリであり、ヒストグラム累積加算回路8の累積結果を記憶する。一般にメモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。正規化コントロールレジスタ回路7は、累積ヒストグラムのデータを正規化してルックアップテーブルを作成する際に、その正規化後の出力輝度信号の最大輝度レベルをヒストグラム演算回路3より与えられ、その値に応じて正規化係数を制御する。10は、ルックアップテーブル演算回路であり、累積ヒストグラムメモリ9のデータをもとに正規化コントロールレジスタ回路7の出力に応じて正規化を行う。11は、ルックアップテーブルメモリであり、ルックアップテーブル演算回路10で正規化されたデータを記憶する。一般にメモリのアドレスに輝度レベルを、そのデータに度数が入るようにする。12は、タイミング制御回路であり、各演算の順序や、各メモリの制御等を行う。13は、DA変換器であり、ルックアップテーブルで補正された出力データをアナログ値に変換する。

【0005】以上のように構成された階調補正回路について、以下その動作について説明する。図5に各部の動作波形を图示する。

【0006】まず、入力輝度信号aをAD変換器1に入力し、ディジタル値に変換し、変換入力輝度信号bとして出力する。ヒストグラムメモリ2は、この変換入力輝度信号bをメモリアドレスとし、そのアドレスのデータをリミッタ・加算回路5で処理する。この動作を1垂直走査期間行うことによって入力輝度信号aのヒストグラム分布を取ることができる。これを図5(a)に示す。

【0007】次に、このヒストグラム分布の入ったヒストグラムメモリ2のデータをヒストグラム演算回路3が読み出し、入力輝度信号の平均値、モード値、最小値、最大値、偏差係数、白面積、黒面積等を計算する。そして、これらの計算結果からリミッタレベル、加算値、累積計算のスタート輝度レベル、およびストップ輝度レベル、正規化後の最大輝度レベル等の各制御値を求め、これらのデータをリミッタ・加算回路5、累積コントロールレジスタ回路6、正規化コントロールレジスタ回路7に転送する。

【0008】次に、リミッタ・加算回路5はヒストグラムメモリ2からデータを読み出し、各データに対しヒストグラム演算回路3から転送された各データをもとにリミッタ(図5(b))や加算等の演算を行い、その結果

4

(補正ヒストグラムデータc)をヒストグラム累積加算回路8に出力する(図5(c))。ここで、加算値が一定の場合、その値が大きいかほど累積データはリニアに近くなり、また小さいほどヒストグラム平坦化処理に近くなる(図5(c)、図5(d))。

【0009】そして、ヒストグラム累積加算回路8は、累積コントロールレジスタ回路6より与えられる累積スタート輝度レベルと累積ストップ輝度レベルにより、その範囲内について補正ヒストグラムデータcの累積ヒストグラムデータfを計算し、この結果を累積ヒストグラムメモリ9に記憶する。

【0010】次に、ルックアップテーブル演算回路10は、累積ヒストグラムメモリ9からデータを読み出し、その累積ヒストグラムデータの最大値が正規化コントロールレジスタ回路7より与えられる最大出力輝度レベルhになるように正規化係数を求め、この係数を全累積ヒストグラムデータgに対して演算を行い、その結果iをルックアップテーブルメモリ11に記憶する。このとき、最大出力輝度レベルhを制御することにより自動コントラストコントロール(ACL)や、自動ブライトコントロール(ABL)のような動作ができる。この動作を図5(e)に示す。

【0011】次に、ルックアップテーブルメモリ11は、変換入力輝度信号bをアドレスとしてそのデータを読み出し、このデータを補正出力輝度信号jとして出力する(図5(f))。そして、DA変換器13は、この補正出力輝度信号jをアナログ信号kに変換して出力する。

【0012】タイミング制御回路12は、以上述べたようなタイミングで各部の動作が行われるように各回路の動作を制御する。(たとえば、同一出願人の出願にかかる特願平1-265393号「階調補正装置」参照)

【0013】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、検出されるヒストグラムの最小値は、1垂直走査期間のヒストグラムから検出する瞬時値であるため、映像信号に雑音が多く含まれていると、その値が大きく変動し、その結果、補正した出力輝度信号が振動するという問題を有していた。

【0014】本発明は上記従来の問題点を解決するもので、検出する最小値が雑音等の影響を受けずにスムーズな補正を行う階調補正装置を提供するとともに、映像シーンの変化に追随し、応答が遅れないような階調補正装置を提供することを目的とする。

【0015】

【課題を解決するための手段】この目的を達成するために本発明の階調補正装置は、ヒストグラムメモリと、ヒストグラム演算回路と、リミッタ・加算回路と、累積コントロールレジスタ回路と、正規化コントロールレジスタ回路と、ヒストグラム累積加算回路と、累積ヒスト

5

ラムメモリと、ルックアップテーブル演算回路と、ルックアップテーブルメモリと、タイミング制御回路とを備え、上記ヒストグラム演算回路は、最小値を検出する回路を有し、この回路が、S/N検出回路と、その出力に接続されてクリップレベルが制御されるクリップ回路から構成されていることを特徴とする。

【0016】さらに、ヒストグラム演算回路は、映像シーンの変化検出回路と、巡回型フィルタ回路と、この巡回型フィルタ回路のフィードバック係数が映像シーン変化検出回路の出力で制御される回路から構成されている。

【0017】さらに、ヒストグラム演算回路は、映像シーンの変化検出回路と、巡回型フィルタ回路と、この映像シーン変化検出回路の出力で、巡回型フィルタ回路の入力を出力するか巡回型フィルタ回路の出力を出力するか制御される選択回路から構成されている。

【0018】

【作用】この構成によって、入力される映像信号のS/Nを検出し、そのレベルに応じて最小値を検出するクリップ回路のレベルを変えることにより、雑音による検出値の変動を止めることができる。

【0019】また、巡回型フィルタ回路を追加し、このフィードバック係数を映像シーンの変化レベルに応じて変えることにより、検出する最小値の変動を止め、滑らかな補正ができる。

【0020】さらに、映像シーンが急激に変化したときは、巡回型フィルタ回路を通さず、その瞬間値を出力することにより応答の遅れをなくすことができる。

【0021】

【実施例】（実施例1）以下本発明の一実施例について、図面を参照しながら説明する。

【0022】図1においては要部のみを示す。図中2はヒストグラムメモリであり従来例と同じである。50はS/N検出回路であり、映像信号に含まれている雑音のレベルを検出する。51はクリップ回路であり、あるレベル以下の度数を切り捨てる。

【0023】以上のように構成された階調補正装置についてその動作を説明する。まずS/N検出回路50で映像信号中の雑音レベルを検出し、その出力レベルによりクリップ回路51におけるクリップレベルを変える。すなわち、雑音が多い場合はクリップレベルを大きくし、雑音が少ないときはクリップレベルを小さくする。

【0024】以上のように本実施例によれば、S/N検出回路50と、その回路50に接続されてその出力によりクリップレベルが制御されるクリップ回路51を設けることにより、映像信号に含まれる雑音による最小値検出の大きな変動を防ぐことができ、補正出力信号が振動しない階調補正を行うことができる。

【0025】（実施例2）以下本発明の第2の実施例について図面を参照しながら説明する。

6

【0026】図2において2はヒストグラムメモリ、51はクリップ回路であり、図1と同様である。52は映像シーン変化検出回路であり、映像シーンの変化する度合いを検出する。53は加算器、54はフィードバック係数をK倍する回路であり、これらは巡回型フィルタ回路を構成する。

【0027】以上のように構成された階調補正装置についてその動作を説明する。まず、クリップ回路51である一定以下の度数を零とし、このクリップ回路51の出力信号を巡回型フィルタ回路に接続する。そして、巡回型フィルタ回路のフィードバック係数の重みKは映像シーン変化検出回路52の出力により、その変化の度合いに応じて、検出する最小値が振動しない範囲内で最適な値に制御される。つまり、映像シーンの変化が小さいときは係数Kの値を大きくする。

【0028】以上のように本実施例によれば、映像シーン変化検出回路52と、加算器53と、上記映像シーン変化検出回路52の出力によってフィードバック係数が制御されるK倍回路を設けることにより、雑音等による検出値の変動を極力抑さえ、滑らかな階調補正を行うことができる。

【0029】（実施例3）以下本発明の第3の実施例について図面を参照しながら説明する。

【0030】図3において2はヒストグラムメモリ、51はクリップ回路、52は映像シーン変化検出回路、53は加算器、54はK倍回路であり、これらは図2と同様である。55は2入力1出力の選択回路で、映像シーン変化検出回路52の出力によりクリップ回路51の出力と巡回型フィルタ回路の出力を切り替える。

【0031】以上のように構成された階調補正装置についてその動作を説明する。まず、クリップ回路51である一定以下の度数を零とし、その出力に巡回型フィルタ回路を接続する。選択回路55は、通常は、巡回型フィルタ回路の出力を選択し、映像シーンが大きく変化したときはクリップ回路51の出力を選択する。

【0032】以上のように本実施例によれば、映像シーン変化検出回路52と、加算器53、K倍回路54と、上記映像シーン変化検出回路52の出力で制御される選択回路55を設けることにより、映像シーンが急変したときは巡回型フィルタによる応答の遅れをなくすことができ、シーンの変化に追従したスムーズな階調補正を行うことができる。

【0033】

【発明の効果】以上のように本発明は、ヒストグラムメモリと、ヒストグラム演算回路と、リミッタ・加算回路と、累積コントロールレジスタ回路と、正規化コントロールレジスタ回路と、ヒストグラム累積加算回路と、累積ヒストグラムメモリと、ルックアップテーブル演算回路と、ルックアップテーブルメモリと、タイミング制御回路とを備え、ヒストグラム演算回路は、最小値を検出

7

する回路を有し、その回路は、S/N検出回路と、S/N検出回路の出力によってクリップレベルが制御されるクリップ回路を設けることにより、映像信号に含まれる雑音による最小値検出の大きな変動を防ぐことができ、補正された出力信号が振動しない優れた階調補正装置を実現できるものである。

【0034】さらに、ヒストグラム演算回路は、映像シーンの変化検出回路と、巡回型フィルタ回路と、この巡回型フィルタ回路のフィードバック係数が映像シーン変化検出回路の出力によって制御される回路を設けることにより、シーンの変化度合いに応じて、雑音などによる検出値の変動を極力押さえることができ、滑らかな階調補正を行える優れた階調補正装置を実現できるものである。

【0035】さらに、ヒストグラム演算回路は、映像シーンの変化検出回路と、巡回型フィルタ回路と、この映像シーン変化検出回路の出力によって巡回型フィルタ回路の入力を出力するか、巡回型フィルタ回路の出力を出力するかが制御される選択回路を設けることにより、映

8

像シーンが急変したときは巡回型フィルタによる応答の遅れをなくすことができ、シーンの変化に追従した階調補正ができる優れた階調補正装置を実現できるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例における階調補正装置のブロック図。

【図2】本発明の第2の実施例における階調補正装置のブロック図。

【図3】本発明の第3の実施例における階調補正装置のブロック図。

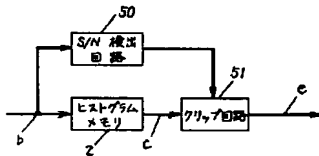
【図4】従来の階調補正装置のブロック図。

【図5】従来の階調補正装置の動作を説明する波形図。

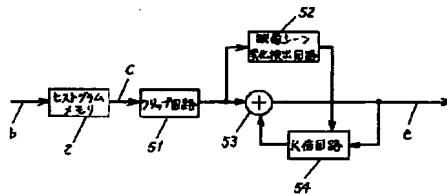
【符号の説明】

- 51 クリップ回路
- 52 映像シーン変化検出回路
- 53 加算器
- 54 K倍回路
- 55 2入力1出力選択回路

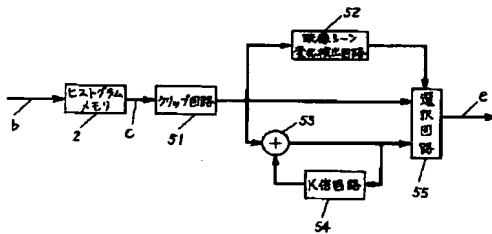
【図1】



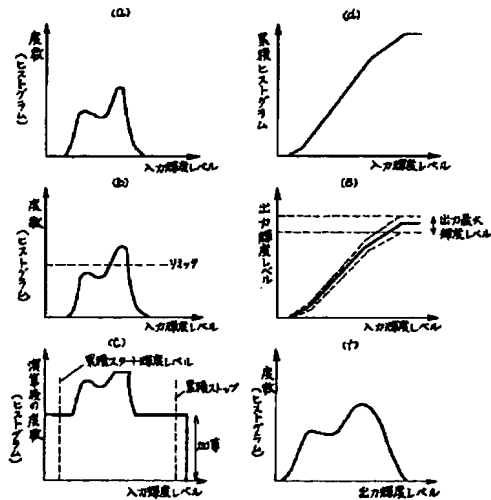
【図2】



【図3】



【図5】



【図4】

